

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G03F 7/00



[12] 发明专利申请公开说明书

[21] 申请号 03103150.1

[43] 公开日 2003 年 8 月 13 日

[11] 公开号 CN 1435728A

[22] 申请日 2003.1.31 [21] 申请号 03103150.1

[30] 优先权

[32] 2002. 1. 31 [33] US [31] 10/062952

[71] 申请人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 H. 李

[74] 专利代理机构 中国专利代理(香港)有限公司

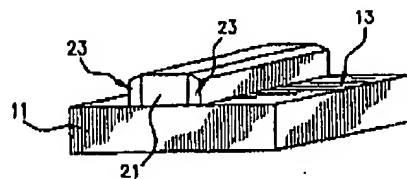
代理人 肖春京 黄力行

权利要求书 2 页 说明书 11 页 附图 14 页

[54] 发明名称 利用间隔体技术的纳米尺寸压印模

[57] 摘要

本发明公开一种大面积纳米尺寸压印模。大面积纳米尺寸压印模包括具有基部表面的基底，在基部表面上形成多个微特征。每个微特征包括多个淀积在其相对侧表面上的间隔体。间隔体从相对的侧表面侧向朝外延伸而微特征和间隔体从基部表面向外延伸。选择性地蚀刻微特征和间隔体以便产生高度差从而限定具有印记轮廓的压印模。可以在基底的基本上所有可用面积上形成压印模，压印模可以有在各压印模之间变化的复杂形状。可以将压印模用作模板把印记轮廓传递给掩膜层，在掩膜层中将复制出印记轮廓。



ISSN 1008-4274

知识产权出版社出版

03103150.1

权 利 要 求 书

第1/2页

1. 一种大面积纳米尺寸压印模, 包括:
包括具有可用面积的基部表面的基底;
与基部表面接触并从其上延伸出的多个压印模, 压印模互相隔开
5 一定的距离并这样定位, 使它们占据基本上所有的可用面积,
每个压印模具有预定的形状并包括具有相对侧表面的微特征和多个从所述相对的侧表面侧向朝外延伸的间隔体,
微特征和间隔体从基部表面向外伸出, 微特征和间隔体的高度和宽度在各微特征和间隔体之间是变化的从而限定印记轮廓.
- 10 2. 如权利要求1所述的大面积微米压印模, 其特征不在于预定的形状是从这样一组形状中选择的一种形状, 该组形状包括所有压印模之间都有相同的形状, 在所有压印模之间变化的形状, 以及相同的形状和在所有压印模之间变化的形状的组合.
- 15 3. 如权利要求1所述的大面积纳米尺寸压印模, 其特征不在于微特征是 由从这样一组材料中选择的一种材料制成, 该组材料包括氧化硅、氮化硅、多晶硅、金属、氧氮化硅、碳化硅、金刚石状的碳和硅化物.
- 20 4. 如权利要求1所述的大面积纳米尺寸压印模, 其特征不在于间隔体是从这样一组材料中选择的一种材料制成, 该组材料包括氧化硅、氮化硅、聚硅、金属、氧氮化硅、碳化硅、金刚石状的碳和硅化物.
5. 如权利要求1所述的大面积纳米尺寸压印模, 其特征不在于基底是从一组材料中选择的一种材料制成, 该组材料包括玻璃、PYREX、氧化硅、氧化铝和磷化铟.
- 25 6. 如权利要求1所述的大面积纳米尺寸压印模, 其特征不在于基底是半导体材料.
7. 如权利要求6所述的大面积纳米尺寸压印模, 其特征不在于半导体材料是硅.
8. 如权利要求1所述的大面积纳米尺寸压印模, 还包括设在邻近的压印模之间的填料层.
- 30 9. 如权利要求8所述的大面积纳米尺寸压印模, 其特征不在于填料层是从这样一组材料中选择的一种材料, 该组材料包括原硅酸四乙酯、硼掺杂的原硅酸四乙酯、磷掺杂的原硅酸四乙酯、硼和磷掺杂的

03103150.1

权 利 要 求 书 第2/2页

原硅酸四乙酯。

10. 如权利要求 1 所述的大面积纳米尺寸压印模, 其特征在于压印模占据的面积小于基本上所有的可用面积。

11. 如权利要求 10 所述的大面积纳米尺寸压印模, 其特征在于所述面积被分成许多模块, 模块互相之间相隔一定的距离, 每个模块包含模块面积, 和在每个模块内压印模占据的子面积可以选择为基本上所有的模块面积以及小于所述模块面积的面积。

12. 一种形成大面积纳米尺寸压印模的方法, 包括:

将特征层淀积在基底的基部表面的可用面积上;

10 图形化然后干蚀刻特征层以限定多个有上表面和相对侧表面的微特征;

在微特征上共形地生长间隔体层直到间隔体层具有所需的厚度, 该厚度在上表面和相对的侧表面上是基本相等的;

15 非均匀地蚀刻间隔体层以除去淀积在所述上表面的间隔体层的一部分, 从而限定多个压印模, 它们包括设在它们各微特征相对侧表面上的多个间隔体;

根据需要重复共形生长和非均匀蚀刻步骤, 以限定压印模上的附加的间隔体;

20 使压印模平面化, 从而使微特征和间隔体从基部表面向外伸出大体相等的高度; 和

有选择地蚀刻所选的一个或几个间隔体和微特征以限定压印模中的印记轮廓; 和

根据需要重复有选择地蚀刻的步骤以有选择地蚀刻一个或几个间隔体和微特征从而进一步限定压印模的印记轮廓。

25 13. 如权利要求 12 所述的方法, 还包括在平面化步骤之前淀积完全覆盖压印模的填料层, 接着通过平面化步骤使压印模和填料层变平, 从而使微特征、间隔体、和填料层从基部表面向外延伸基本相等的高度。

30 14. 如权利要求 13 所述的方法, 其特征在于有选择地蚀刻的步骤包括将填料层有选择地蚀刻到预定的厚度。

03103150.1

说明书

第1/11页

利用间隔体技术的纳米尺寸压印模

技术领域

- 5 本发明总的涉及一种利用间隔体技术制造纳米级压印模的结构和方法。更具体说，本发明涉及一种利用间隔体技术制造纳米级压印模的结构和方法，其中所获得的压印模可以占据基本上所有的基底表面面积，压印模形成在该基底上，并且其中压印模可以有复杂的形状，各种压印模之间形状是不同的。

10 背景技术

纳米尺寸印刷的平版印刷是获得纳米尺寸（小到几十个纳米）图案的有前途的技术。形成纳米尺寸图案的关键步骤是首先制成压印模，它包含与纳米尺寸图案互补的图案。

- 在图 1a 中，现有的纳米级印刷的平版印刷方法包括有许多印刷图
15 案 202 形成在其上面的压印模 200。在图 1b 中印刷图案 202 由简单的线条和间隔图案组成，该图案有许多线 204 被邻近线 204 之间的许多空间 206 分隔。通过将压印模 200 压在（见划线箭头 201）特殊设计的掩膜层 203 上，按照印刷图案 202（见图 1a）调节掩膜层 203 的厚度，将印刷图案 202 复制在掩膜层 203 上。

- 20 一般来说，掩膜层 203 是由聚合物这样的材料制成。例如，可以用光刻胶材料制成掩膜层 203。掩膜层 203 淀积在支持基底 205 上。采用分步和重复的方法，将压印模 200 重复地压在掩膜层 203 上以便在掩膜层 203 中复制印刷图案 202 和覆盖掩膜层 203 的整个面积。

- 在图 2 中，分步和重复处理之后，掩膜层 203 包括许多纳米尺寸
25 印痕 207，它与印刷图案 202 的形状互补。接着在图 3 中，使掩膜层 203 非均匀地蚀刻（即高度方向性蚀刻）以便在掩膜层 203 中形成纳米尺寸图案 209。典型的，支持基底 205 或夹在掩膜层 203 和支持基底 205 之间的另一层（未示出）用作非均匀蚀刻的蚀刻停止层。另一种是，掩膜层 203 可以用作下面层的蚀刻掩膜（见图 7a 到 7d 中的标号 208）
30 和通过后序的非均匀蚀刻方法在下层中复制纳米尺寸印痕 207 的图案。

在图 4a 中，在现有压印模 200 上生成印刷图案 202 是从在基底 215

03103150.1

说明书 第2/11页

上淀积交替的薄膜材料层(211, 213)开始, 以便形成从基底 215 向外延伸的多个堆积的薄膜 210。然后将多个堆叠的薄膜 210 沿划线箭头 S 所指的方向切成许多离散段 Δs 。例如, 在图 4b 中, 基底 215 可以是半导体材料的晶片, 在它上面淀积多个堆积的薄膜 210。在已经淀积多个堆积的薄膜 210 的所有层之后, 接着将晶片(即基底 215)切片以便形成离散段 Δs 。

在图 5a 中, 离散段 Δs 包括多个堆积薄膜部分 210 和基底部分 215。在图 5b 和 5c 中, 选择地蚀刻离散段 Δs 以便限定印刷图案 202。在交替层(211, 213)之间蚀刻速率的差别导致一层蚀刻的速率快于其它的层, 造成交替层(211, 213)之间高度的差别。这些高度上的差别限定了印刷的图案 202。

现有压印模 200 的一个缺点是如图 5b, 5c 和 6 中所示印刷图案 202 只形成在压印模 200 的一部分可用表面上。印刷图案 202 占据的印刷面积 I_1 基本上小于无图案的面积 N_1 。结果, 印刷图案 202 仅使用了现有面积的一部分。

现有压印模 200 的第二个缺点是如图 6 中所示印刷图案 202 由简单的线条和间隔图案(204, 206)组成。因此, 所获得的纳米尺寸印痕 207 也仅限于简单的线条和间隔图案, 因为它们是与印刷图案 202 互补的。

在图 7a 中, 将压印模 200 按 201 方向压到掩膜层 203 上, 以便在掩膜层 203 中复制压印模 202 的简单线条 204 和间隔 206 的图案。在图 7b 中, 在加压步骤之后, 掩膜层 203 包括复制在其上面的互补的纳米级印痕 207。如上所述, 纳米级印痕 207 也有简单的分别标记为 204' 和 206' 的线条和间隔图案。

在图 7c 中, 将掩膜层 203 非均匀地蚀刻直到间隔图案 206' 与下层 208 的上表面 208' 齐平和线条图案 204' 从上表面 208' 向外伸出。线条和间隔图案(204', 206')将用作接着的非均匀蚀刻步骤的蚀刻掩膜。下一步, 在图 7d 中, 通过由线条和间隔图案(204', 206')构成的掩膜非均匀地蚀刻下层 208 以便限定纳米尺寸图案 209。

如图 7a 至 7d 所示的现有印刷方法的另一个缺点是压印模 200 的印刷面积 I_1 和无图案面积 N_1 以纳米尺寸图案 209 复制, 使仅有小部分的基底 205 的现有面积包含由图案化的面积 P_1 表示的纳米尺寸图案

03103150.1

说明书 第3/11页

209 而基底 205 的大部分保持为无图案面积 U_1 。例如, 图案面积 P_1 可以是几个微米而无图案面积 U_1 可以是几百微米或更大。

虽然, 可以使用分步和重复方法在掩膜层 203 的更大面积上重复压制印刷图案 202, 由于掩膜层 203 的某些材料粘附到印刷图案 202 或由于重复的加压步骤引起的印刷图案 202 磨损都可能造成印刷的缺陷。还有, 分步和重复方法并不能解决上述简单的线条和空间图案 (204, 206) 所造成的局限。

因此, 存在在大面积上形成纳米尺寸压印模的需求。还存在包括复杂的图案和形状的纳米尺寸压印模的需求。

10 发明总结

本发明的纳米尺寸压印模解决了上述的缺点和局限。本发明的大面积纳米尺寸压印模包括许多可以占据基本上所有基底有用的表面面积的压印模, 从而解决了现有压印模的一个缺点, 即印刷图案仅形成在现有可用面积的一部分上。本发明的压印模有复杂的预定形状, 该形状在各种压印模中可以变化, 从而解决了现有压印模简单的线条和间隔图案的限制。还有, 本发明的压印模可在很大的面积上形成, 从而也解决了与现有压印模无图案面积有关的缺点。

下面结合附图的详细描述中, 通过实例说明本发明的原理, 将使本发明的其它方面和优点变得更加清楚。

20 附图简要说明

图 1a 和 1b 分别是现有压印模和现有印刷图案的外形和顶视图。

图 2 是带有图 1a 的现有压印模形成的纳米尺寸印痕的现有掩膜层的外形图。

图 3 是图 2 的现有掩膜层在非均匀蚀刻之后的外形图。

25 图 4a 是用于形成现有压印模的现有方法的剖面图。

图 4b 是将基底切成离散段之前的现有基底的外形图。

图 5a 到 5c 是现有压印模离散段的剖面图, 印模已经选择性地蚀刻以便限定现有的印刷图案。

图 6 是说明现有压印模的印刷面积和无图案面积的外形图。

30 图 7a 到 7d 是说明现有的方法, 它将现有的压印模压入到掩膜层中以便形成纳米尺寸图案。

图 8 是按照本发明微特征的外形图。

03103150.1

说明书 第4/11页

图 9 是在按照本发明的图 8 微特征上形成间隔体层的外形图。

图 10 是通过选择性地蚀刻按照本发明的图 9 间隔体层形成的间隔体的外形图。

图 11a 到 11f 说明形成按照本发明大面积纳米尺寸压印模的方法。

图 12a 到 12c 是按照本发明有复杂形状的微特征和间隔体的顶视外形图。

图 13a 到 13c 是说明形成图 12a 到 12c 的微特征和间隔体的方法的剖面图。

图 14 是通过选择性蚀刻图 13c 的微特征和间隔体形成的大面积的纳米尺寸压印模的外形图。

图 15 是说明本发明由带复杂形状的微特征和间隔体形成的印记轮廓的外形图。

图 16 是可以用来形成按照本发明大面积的纳米尺寸压印模的材料各层剖面图。

图 17 是应用按照本发明 LDO 方法的类似方法形成的微特征和间隔体的剖面图。

图 18a 和 18b 是基底的顶视图，其中压印模按照本发明占据基底基本上所有的有用面积。

图 19a 和 19b 是基底的顶视图，基底已经分隔成许多模块，而在模块中，按照本发明，压印模占据模块基本上所有的模块面积。

图 20 是压印模的剖面图，其中按照本发明的填料层已经被选择性蚀刻到预定的厚度。

图 21a 到 21d 是说明按照本发明由部件层生成微特征的剖面图。

图 22 是按照本发明大面积的纳米尺寸压印模的外形图和将掩膜层推到与印模互相接触以便将印记轮廓传给掩膜层。

具体实施方式

在下面的详细描述和几个附图中，用相同的标号表示相同的元件。

如用于说明目的的附图中所示，本发明实用在由基底承载的大面积纳米尺寸压印模中，基底包括其上面限定可用面积的基部表面。许多压印模与该基部表面接触并从基部表面向外延伸。压印模互相隔开

03103150.1

说明书 第5/11页

一定距离并占据基本上所有的基部表面的可用面积。每个压印模有预定的形状并包括具有互相相对定位的侧表面的微型特征，许多间隔体形成在相对的侧表面上并从侧表面向外延伸。间隔体和微特征还从基部表面向外延伸，间隔体以及微特征都有高度和宽度，各间隔体和微特征的高宽可变化从而限定印刷的外形。印记轮廓可以限定复杂的形状，可以作为掩膜层上的图案进行印刷。

在图 8 中，基底 11 包括有可用面积 A_0 的基部表面 13，该面积由产品的基部表面 13 的宽 W 和长 L 限定，所以可用面积 $A_0 = W \cdot L$ 。虽然在图 8 中表示的是矩形，但本发明并不局限于该形状，例如可以使用其它的形状，如圆形，且可用面积 A_0 可以按照所选的形状确定。例如，圆形的可用面积 A_0 将是 $A_0 = 2\pi \cdot r^2$ 。许多压印模 20 与基部表面 13 接触并从基部表面 13 向外延伸（如下面将要描述的那样）。压印模 20 互相隔开一定的距离并定位在基部表面 13 上，从而使压印模占据基本上所有的可用面积 A_0 。

在图 8 和 10 中，每个压印模 20 有预定的形状且包括从基部表面 13 向外延伸和有相对侧表面（22a、22b）的微特征 21。每个压印模 20 还包括许多间隔体 23（在图 10 中给出两个），它们从微特征 21 相对的侧表面（22a、22b）侧向朝外延伸和间隔体 23 还从基部表面 13 向外延伸。微特征 21 和间隔体 23 有高度和宽度，各微特征 21 和间隔体 23 之间高和宽不同从而限定印记轮廓 24（如下面将要讨论的那样）。

在图 9 中，通过在微电子技术中众所周知的淀积方法，如化学蒸汽淀积（CVD）或原子层淀积（ALD），在微特征 21 和基部表面 13 上淀积间隔体层 23a 的材料可以形成间隔体 23。最好，间隔体层 23a 的材料是共形地淀积在微特征 21 和基部表面 13 上，使得材料在相对侧表面（22a、22b）上的第一厚度 t_1 大体等于材料在基部表面 13 和微特征 21 的上表面 25 上的第二厚度 t_2 （ $t_1 \approx t_2$ ）。也就是说，该材料的侧向生长速率基本上等于材料的垂直生长速率。间隔体层 23a 的一部分即淀积在上表面 25 和基部表面 13 上的部分，使用高度选择性的蚀刻方法如非均匀地蚀刻将其除去。例如在划线箭头 B 所指的优选的蚀刻方向使该材料以较快的蚀刻速率被蚀刻除去。结果，复盖上表面 25 和基部表面 13 的材料被除去，覆盖相对的侧表面（22a、22b）的材料被留下并形成如图 10 中所示的间隔体 23。

03103150.1

说明书 第6/11页

在图 11a 中, 在基底 11 的基部表面 13 上形成许多微特征 21. 在间隔体 23 的材料共形淀积及随后的选择性蚀刻之后, 如图 11b 中所示, 在相对的侧表面 (22a、22b) 上形成许多间隔体 23.

根据需要可以重复淀积过程以便形成如图 11c 和 11d 中所示的附加的间隔体 23. 每个淀积步骤之后是选择性蚀刻步骤.

在图 11c 中, 在形成所需数目的间隔体 23 之后, 通过平面化方法如化学机械平面化 (CMP) 将许多微特征 21 和它们的相关间隔体变平 (即做成基本平的). 在平面化步骤之后, 微特征 21 和它们的相关间隔体 23 从基部表面 13 向外延伸出基本均匀的高度 h_1 .

在图 11f 中, 通过选择性蚀刻微特征 21 和间隔体 23 形成大面积的纳米尺寸压印模 10. 例如, 可以选择只蚀刻微特征 21 的蚀刻剂, 使微特征 21 的高度 (即它们从基部表面 13 向外伸出的高度) 随蚀刻时间下降. 结果, 在蚀刻之后, 在微特征 21 和它们的相关间隔体 23 之间就存在高度 (h_1 和 h_2) 差. 那些高度 (h_1 和 h_2) 差限定了每个压印模 20 的印记轮廓 24.

取决于制造各种间隔体 23 和微特征 21 的材料, 可以选择只蚀刻一种或几种这些材料的蚀刻剂来减小这些材料的高度而不蚀刻不是蚀刻目标的那些材料. 结果, 在蚀刻之后, 在间隔体 23 和微特征 21 之间将有高度差, 从而限定每个压印模 20 的印记轮廓 24.

每个压印模 20 的预定形状是由几个因素限定的, 包括用于限定微特征 21 和间隔体 23 的平版印刷 (lithographic) 方法; 微特征 21 用的材料; 用于限定每个压印模 20 的印记轮廓 24 的间隔体 23 和蚀刻剂以及蚀刻方法. 预定的形状在所有的压印模 20 之间可以是相同的, 预定的形状在所有的压印模 20 之间可以不同, 或者预定的形状在所有的压印模 20 之间可以是相同的形状和变化的形状的组合.

在图 11f 中, 压印模 20 预定的形状对所有的压印模 20 都是相同的. 与此相反, 在图 14 和 15 中, 压印模 20 具有在所有压印模 20 之间不同的预定形状 (在图中表示两个). 如在图 11f、14 和 15 中所示, 压印模 20 可以有限定复杂形状的印记轮廓 24.

在图 12a 到 12c 中, 图 14 的压印模 20 的复杂形状是由在基部表面 13 上首先淀积微特征 21 形成. 在图 12a 中, 微特征 21 有圆形和斜方形的形状; 但是那些形状仅是为了说明的目的而本发明并不想被限

03103150.1

说明书 第7/11页

制在只在这里描述的那些形状。类似地，在图 12b 中，与微特征 21 形状一致的间隔体 23 形成在基部表面 13 和相对的侧表面 (22a, 22b) (未示出) 上。在图 12c 中，还有一层间隔体 23 形成在先前的间隔体层 23 上。

- 5 图 13a 到 13c 是沿着图 12c 的虚线 AA 取的剖面图。在图 13a 中，填料层 31 淀积在邻近的压印模 20 之间。应用平面化步骤使整个结构变平，从而使填料层 31、微特征 21 和间隔体 23 都从基部表面 13 向外延伸基本相同的高度 H，并限定如虚线 X 所指示的基本平的表面。

- 10 在图 14 中，在一个或几个选择性蚀刻步骤之后，间隔体 23 和填料层 31 以比图 13c 的微特征 21 更快的蚀刻速率被蚀刻，使得微特征 21 从基部表面 13 向外延伸最远。此外，用作间隔体 23 的材料和蚀刻速率的差别造成最内部的间隔体 23 比最外部的间隔体 23 从基部表面 13 向外伸出更大的距离。因此，图 14 的压印模 20 具有限定同心的圆形和同心的矩形的印记轮廓 24。在图 15 中说明印刷图案 20 的其它可能的复杂形状。可以用平版印刷加工和光刻胶掩膜来限定如图 15 中所示的那些复杂的印记轮廓 24。

- 20 图 16 是说明形成在基底 11 (记为 A) 上并平面化的许多微特征 21 (记为 B) 和间隔体 23 (记为 D、E 和 F) 的剖面图。对这里描述的所有实施例，微特征 21 的材料 B 和间隔体 23 的材料 D、E 和 F 可以是包括但不局限于下面表 1 中所列的材料：

微特征 21 和间隔体 23 的材料
氧化硅 (SiO_2)
氮化硅 (Si_3N_4)
多晶硅
金属
氮氧化硅 ($\text{Si}_2\text{N}_2\text{O}$)
碳化硅 (SiC)
金刚石状的碳
硅化物

表 1

03103150.1

说明书 第8/11页

在图 16 中间隔体 23 的材料 D、E 和 F 层这样交替，使 D、E 和 F 的材料可以是不同的材料或者相同的材料。例如，D、E 和 F 可以是相同的材料但掺杂不同的杂质以改变它们各自的蚀刻速率。

可选择地，填料层 31（记为 C）可以淀积在相邻的压印模 20 之间。

5 填料层 31 可以是包括但不局限于下面表 2 所列的材料。

填料层 31 的材料
原硅酸四乙酯 (TEOS)
硼 (B) 掺杂的原硅酸四乙酯 (BSG)
磷 (P) 掺杂的原硅酸四乙酯 (PSG)
硼 (B) 和磷 (P) 掺杂的原硅酸四乙酯 (BPSG)

表 2

基底 11（记为 A）可以由包括但不局限于下面表 3 所列的材料制成。

基底 11 的材料
玻璃
PYREX (商标)
氧化硅 (SiO_2)
氧化铝 (Al_2O_3)
磷化铟 (InP)
半导体材料
硅 (Si)

表 3

10 可选择地，基底 11（记为 A）可以形成在支持基底 S 上。例如，基底 11 可以是氧化硅 (SiO_2) 层而支持基底 S 可以是半导体材料如硅 (Si)。例如，支持基底 S 可以是单晶硅 (Si) 的晶片。

如上所述，压印模 20 可以占据基本上所有的可用面积 $A_u = W \cdot L$ 。但是，在某些情况下可能希望或者需要压印模占据的面积小于基本上所有的可用面积 A_u 。在图 18a 和 18b 中，压印模 20 占据的面积 A_p 小于可

15

03103150.1

说明书 第9/11页

用的面积 A_0 。在图 18a 中基底 11 有矩形的形状而在图 18b 中基底 11 有圆形的形状。在任一种情况下, 面积 A_0 留下一部分基底 11 空着并那些空着的面积可用于在大面积的纳米尺寸压印模 10 微电子制造过程中物理地处理基底 11。

5 在图 19a 中, 在许多模块 50 上可以形成大面积纳米尺寸压印模 10, 模块 50 形成在基底 11 上。模块 50 用类似于在制造半导体器件如 ASIC 中使用的模块的相同方式互相隔开一定距离, 其中相邻模块之间的间隙限定用于将基底锯成各个模块的划线标记。例如, 如果基底 11 是硅 (Si) 的晶片, 那么沿着划线将晶片锯开以便使单个模块 50 与晶
10 片分离。

在图 19b 中, 更加详细地表示由虚线 dd 标记的模块 50, 其中模块 50 有作为产品 $W_0 \cdot L_0$ 限定的模块面积和压印模 20 占据子面积 A_r , 该面积可以是基本所有的模块面积 (即 $W_0 \cdot L_0$) 或者可以是小于模块面积。在图 19b 中, 子面积 A_r 小于模块面积 ($W_0 \cdot L_0$)。

15 可以采用公知的微电子加工技术形成大面积的毫微极压印模 10。在图 21a 到 21d 中, 通过淀积特征层 21a 到基底 11 的基部表面 13 的可用面积 A_0 上可以形成微特征 21。然后将特征层 21a 平版印刷构图 27 以及接着干法蚀刻从而限定有上表面 25 和相对侧表面 (22a、22b) 的许多微特征 21。

20 下一步, 在微特征 21 上共形地生长间隔体层 23a 直到间隔体层 23a 有所需的厚度 (t_1, t_2), 在上表面 25 和相对的侧表面 (22a, 22b) 有大体相等的所需厚度 (即 $t_1 \approx t_2$) (见图 9 中标号 23a)。可以采用 CVD 等方法共形地生长间隔体层。

非均匀地蚀刻间隔体层 23a 以便除去淀积在上表面 25 上的一部分
25 间隔体层 23a, 从而限定许多压印模 20, 它包括淀积在微特征 21 相对侧表面 (22a, 22b) 上的许多间隔体 23。可以在非均匀蚀刻步骤中采用高度选择性的湿或干蚀刻方法。

根据在压印模 20 上限定附加的间隔体 23 的需要, 重复共形的生长步骤和非均匀蚀刻步骤。在完成共形生长和非均匀蚀刻步骤之后,
30 将压印模 20 平面化使微特征 21 和间隔体 23 从基部表面向外延伸基本相同的高度 h_0 。在平面化步骤中可以采用 CMP 等方法。

选择性地蚀刻所选择的一个或几个微特征 21 和间隔体 23 以便限

03103150.1

说明书 第10/11页

定压印模 20 中的印记轮廓 24。按照选择性地蚀刻所选的一个或几个微特征 21 和间隔体 23 的要求重复选择性地蚀刻的方法，以便进一步限定印记轮廓 24。可以采用湿或干式非均匀蚀刻方法来选择性地蚀刻微特征 21 和间隔体 23。

- 5 在上述的平面化步骤之前，可以将填料层 31 淀积在压印模 20 上。填料层 31 完全覆盖压印模 20。在淀积填料层 31 之后，应用平面化步骤使压印模 20 和填料层 31 变平，从而使微特征 21、间隔体 23 和填料层 31 从基部表面 13 向外延伸基本相同的高度 h_0 。在平面化步骤之后，可以选择性地蚀刻填料层 31 直到填料层 31 达到预定的厚度 t_1 。也就
10 是说，蚀刻填料层 31 直到它凹入到大体相同的高度 h_0 之下（见图 20）。

- 在图 22 中，迫使大面积纳米尺寸压印模 10 与带填料层 63 和掩膜层 65 的掩膜基底 61 接触（见划线箭头 U）。例如，掩膜层 65 可以是光刻胶材料如 PMMA，当大面积纳米尺寸压印模 10 和掩膜基底 61 在 U 方向加压互相接触时，掩膜层 65 将变形并与压印模 20 的印记轮廓 24
15 共形。在接着的加工步骤中，可以蚀刻掩膜层以便将由印记轮廓 24 在其上面形成的印刷图案传给下面的薄膜层 63。

- 在图 17 中，采用间隔体技术制作大面积纳米尺寸压印模 10 的一种方法的例子，包括使用的一种方法类似于形成金属氧化物半导体三极管（MOS）的轻度掺杂漏极（LDD）的 n 门电极的微电子方法。基底
20 11 可以是硅（Si）基底，在其上面在基部表面 13 上淀积薄的门电极介电质层 41。例如门极介质层 41 可以是氧化硅（ SiO_2 ）。接着，在门极介质层 41 上形成记为 g 的门电极并且门电极 g 构成微特征 21。例如，可以使用多晶等材料构成微特征 21。在形成微特征 21 之后，在微特征 21 上可以共形地淀积间隔体层 23a 然后非均匀地蚀刻构成隔片 23。间
25 隔体层 23a 例如可以使用如氮化硅（ Si_3N_4 ）这样的材料。可以使用如 CVD 等方法共形地淀积间隔体层 23a。

- 在图 17 中，重复两次共形淀积步骤接着进行非均匀蚀刻步骤，以便将两个间隔体 23 限定的从微特征 21 的相对侧表面向外延伸。实际的间隔体 23 的数目将由共形淀积步骤的次数和非均匀蚀刻步骤的次数
30 决定。

微特征 21 可以有尺寸 t_0 ，该尺寸可以由用来限定微特征 21 的平版印刷方法和蚀刻方法部分地确定。例如，尺寸 t_0 可以是约 $0.10\ \mu\text{m}$ 。

03103150.1

说明书 第11/11页

类似地间隔体 23 可以有尺寸 t_1 和 t_2 。它们可以相等或者可以在各间隔体 23 之间是变化的。例如，尺寸 t_1 和 t_2 可以是约 $0.010\mu\text{m}$ 。在上述平面化步骤之后，各间隔体 23 和微特征 21 间的高度差别由它们各自的材料和它们经受的非均匀蚀刻方法确定。 t_0 、 t_1 和 t_2 的尺寸并不局
5 限于这里所给定的值，它们的实际尺寸将取决于应用。

仅为了说明的目的，可以在基底 11 上形成源极 s 和漏极 d 和可以包括轻度掺杂区 43 和重度掺杂区 45。在典型的 LDD 方法中，通过使用门电极 g 作为掩膜在基底 11 中注入小剂量的掺杂剂将形成轻度掺杂区 43。接着，在形成间隔体 23 之后，使用间隔体 23 作为掩膜在基底 11
10 中注入大剂量掺杂剂将形成重度掺杂区 45。

但是，上述的形成轻度掺杂区 43 和重度掺杂区 45 的步骤对采用间隔体技术制作大面积纳米尺寸压印模 10 来说是没有必要的和可以完全取消的。门电极电介质层 41 是可选的且也可以取消。无需掺杂步骤可以形成微特征 21 和间隔体 23，而上面 LDD 方法的描述仅用于说明微
15 电子制造技术可以适合形成采用本发明间隔体技术的大面积纳米尺寸压印模 10，微电子制造技术（如 CMOS 方法）对微电子技术所属技术领域的普通技术人员来说是非常熟悉的。

尽管已经公开和说明了本发明的几个实施例，但本发明并不局限于所描述和说明的特定形式和结构。本发明仅由权利要求书的限定。

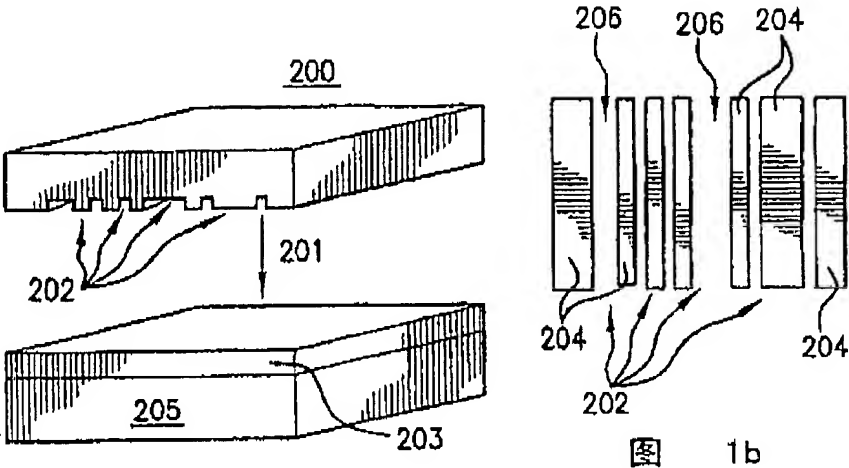


图 1a

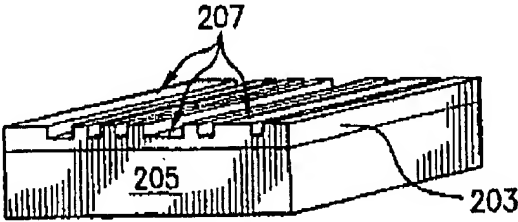


图 2

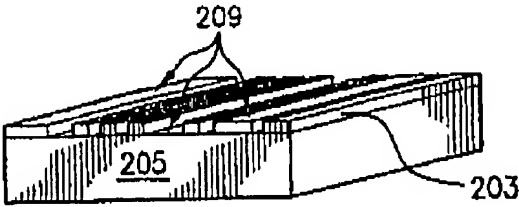


图 3

03103150.1

说明书附图 第2/14页

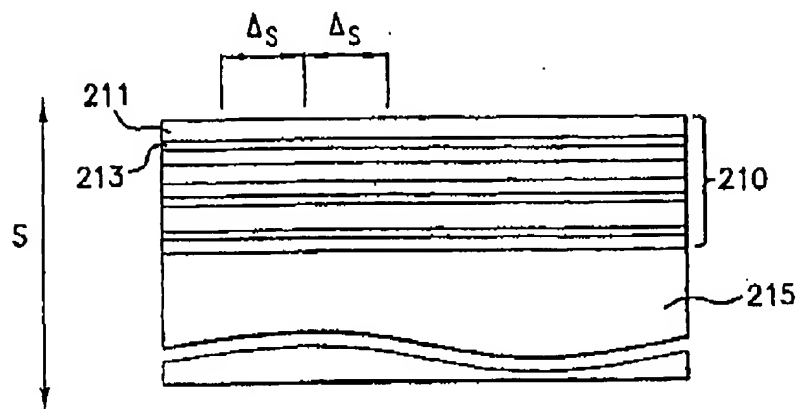


图 4a

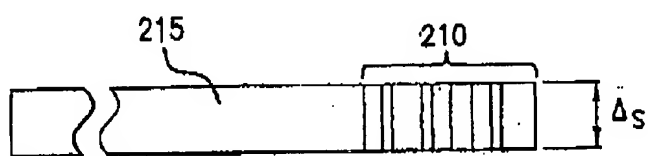


图 5a

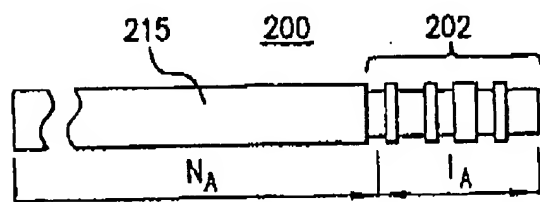


图 5b

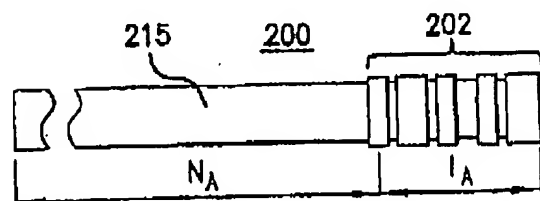


图 5c

03103150.1

说明书附图 第3/14页

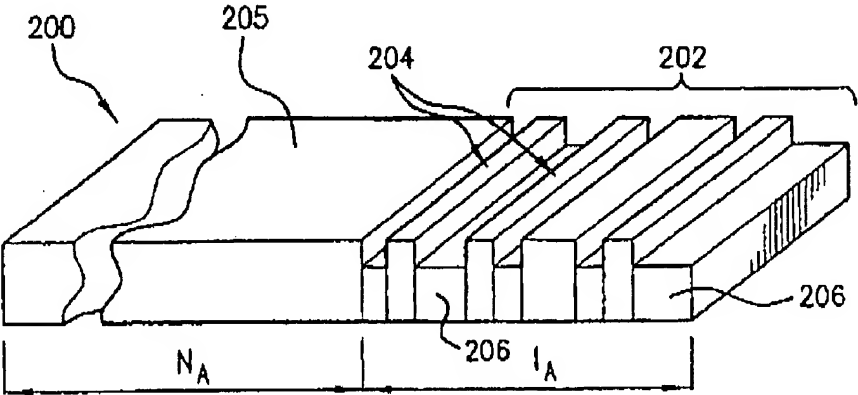


图 6

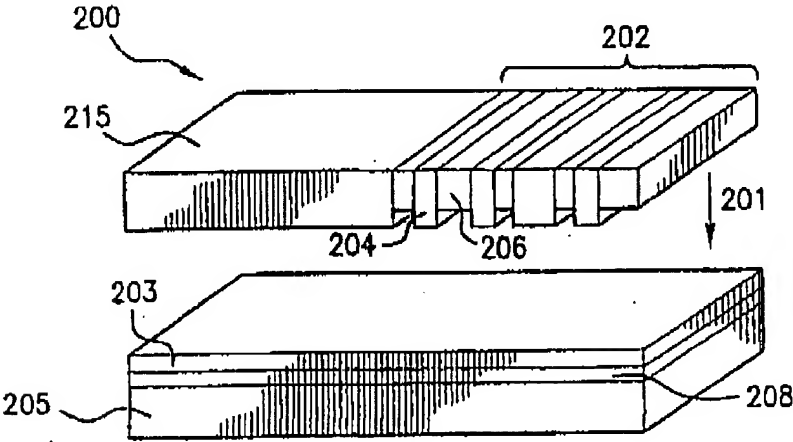


图 7a

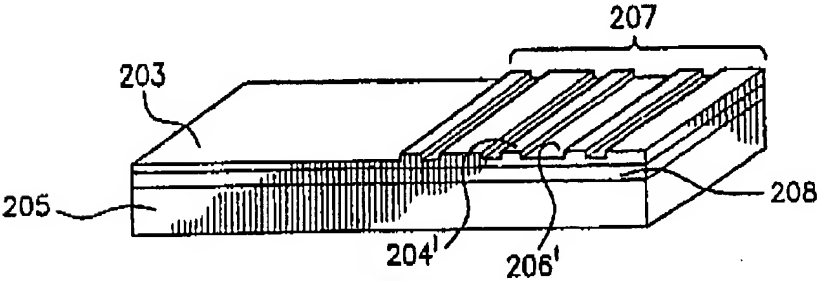


图 7b

03103150.1

说明书附图 第4/14页

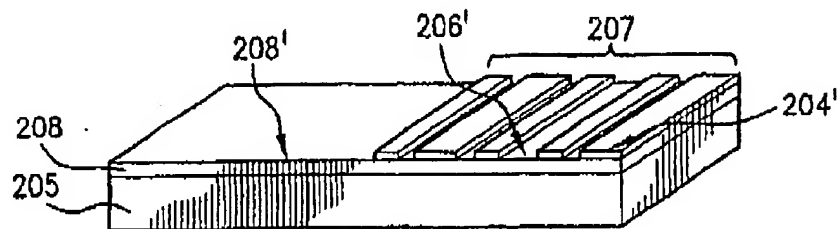


图 7c

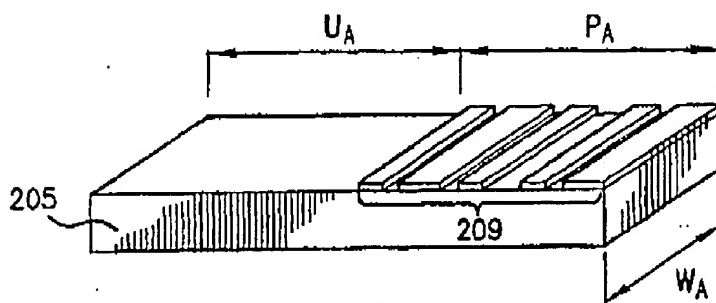


图 7d

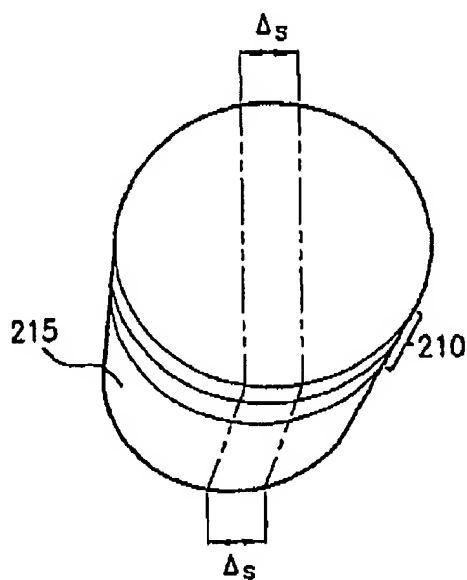


图 4b

03103150.1

说明书附图 第5/14页

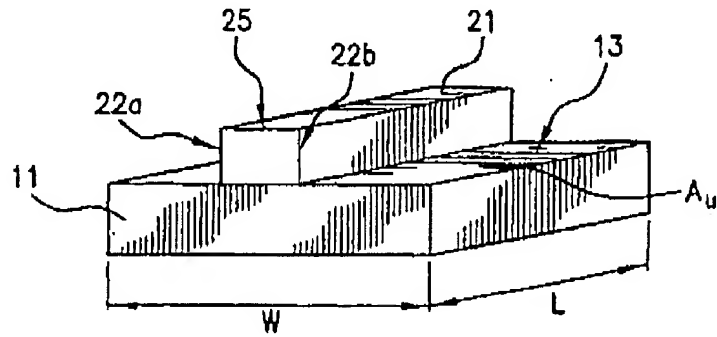


图 8

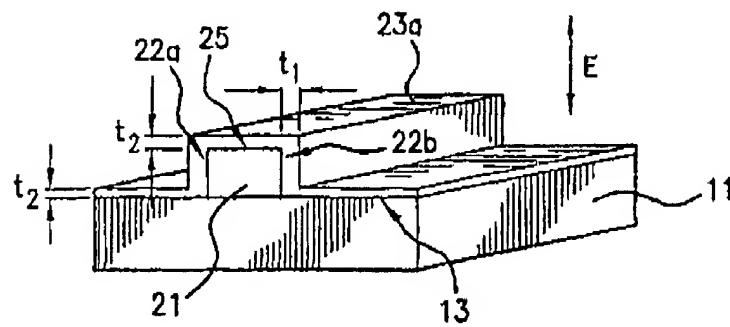


图 9

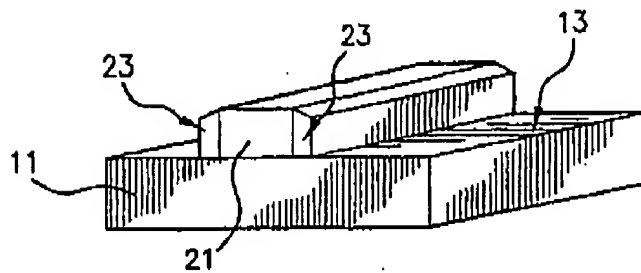


图 10

03103150.1

说明书附图 第6/14页

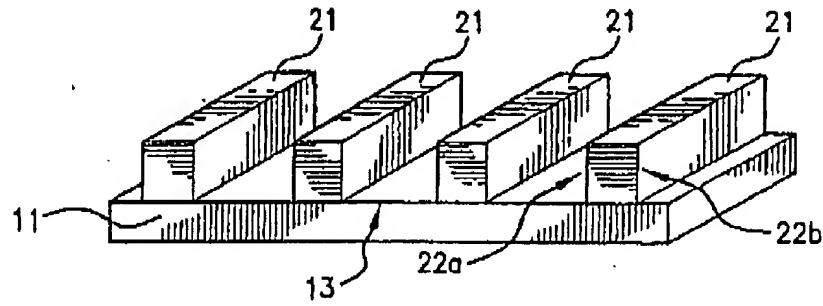


图 11a

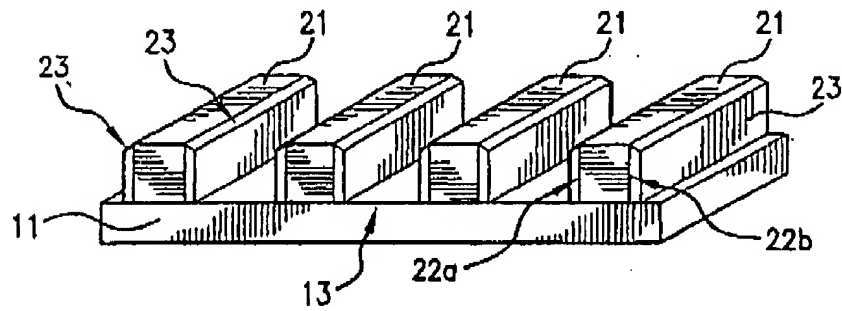


图 11b

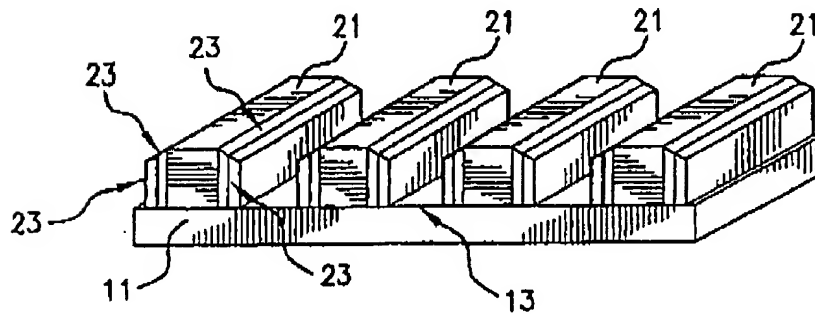


图 11c

03103150.1

说明书附图 第7/14页

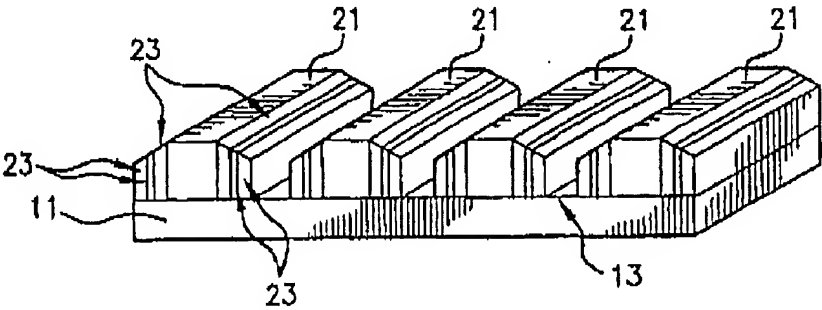


图 11d

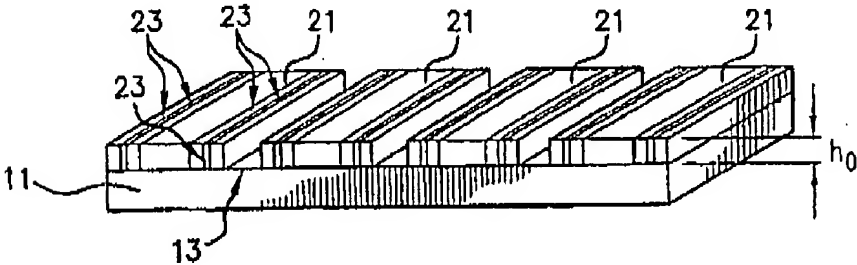


图 11e

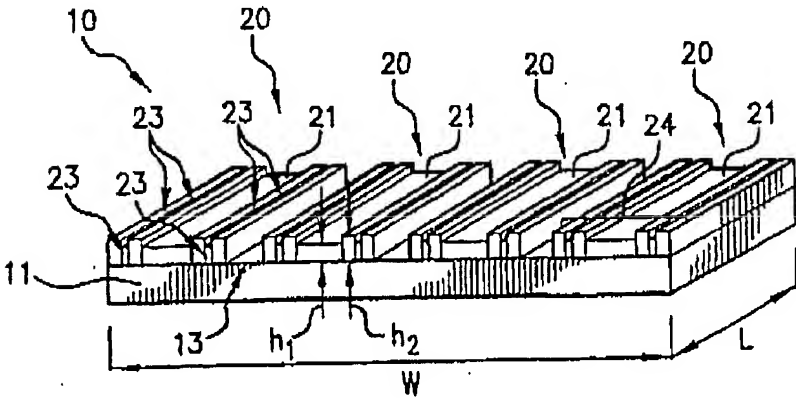


图 11f

03103150.1

说明书附图 第8/14页

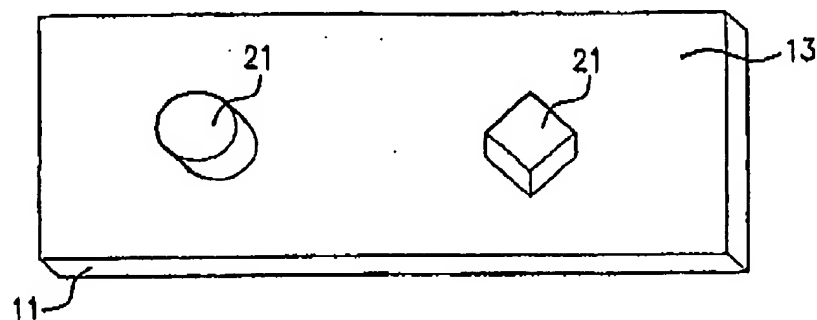


图 12a

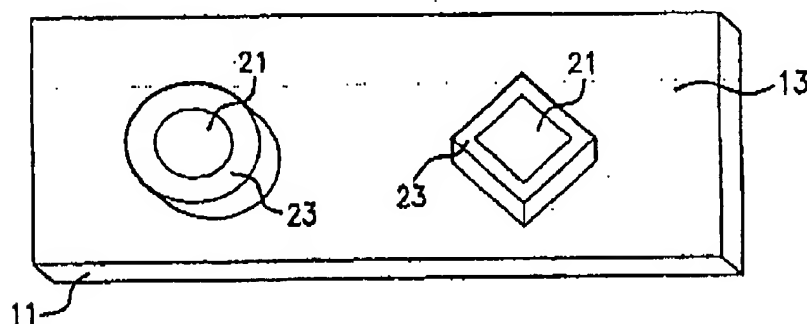


图 12b

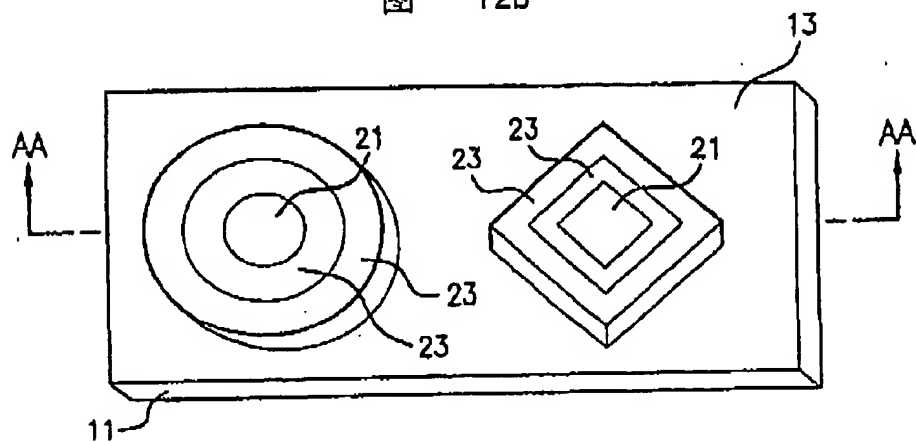


图 12c

03103150.1

说明书附图 第9/14页

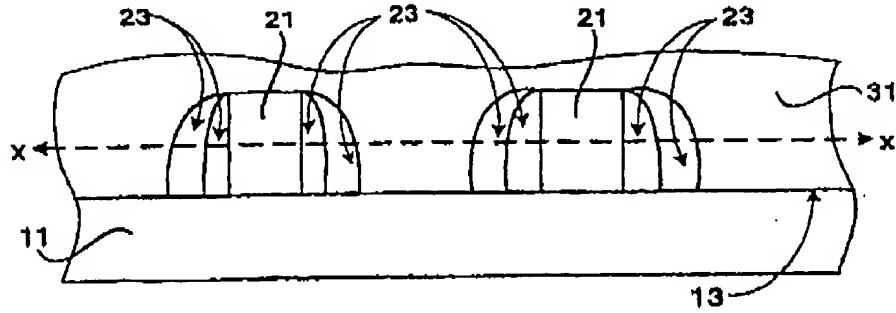


图 13a

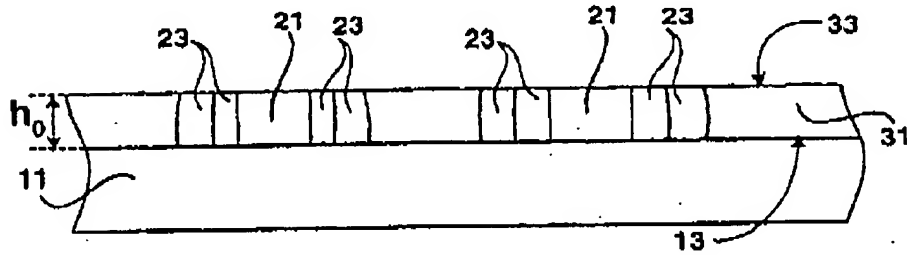


图 13b

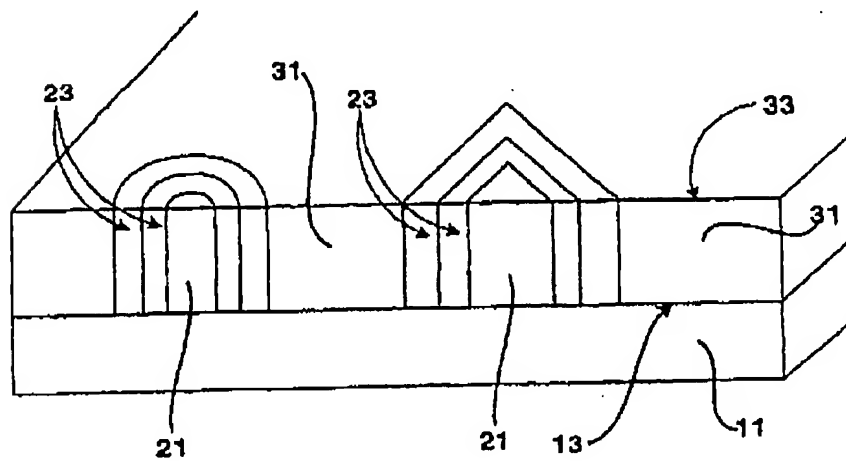


图 13c

03103150.1

说明书附图 第10/14页

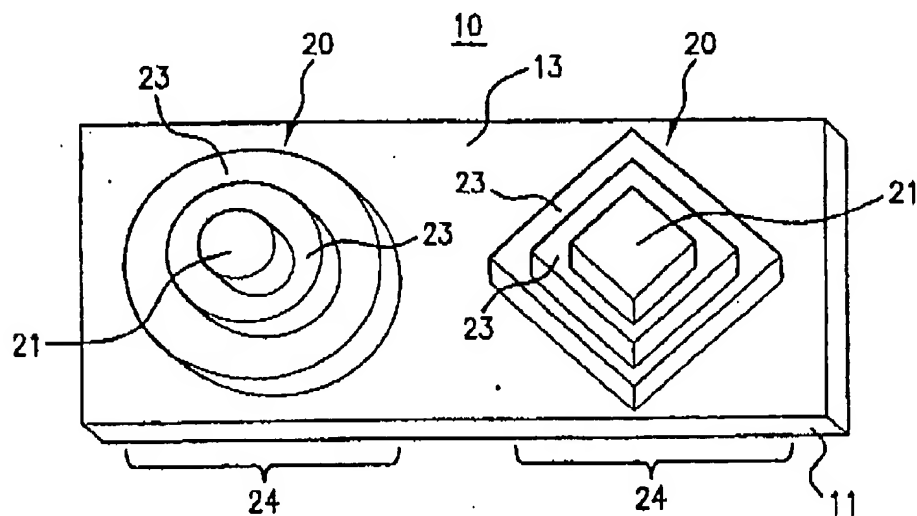


图 14

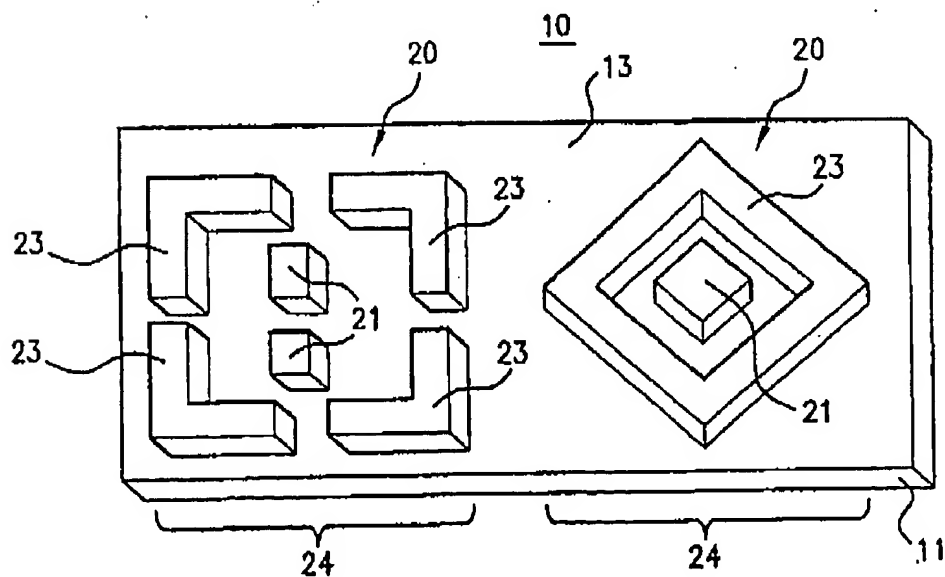


图 15

03103150.1

说明书附图 第11/14页

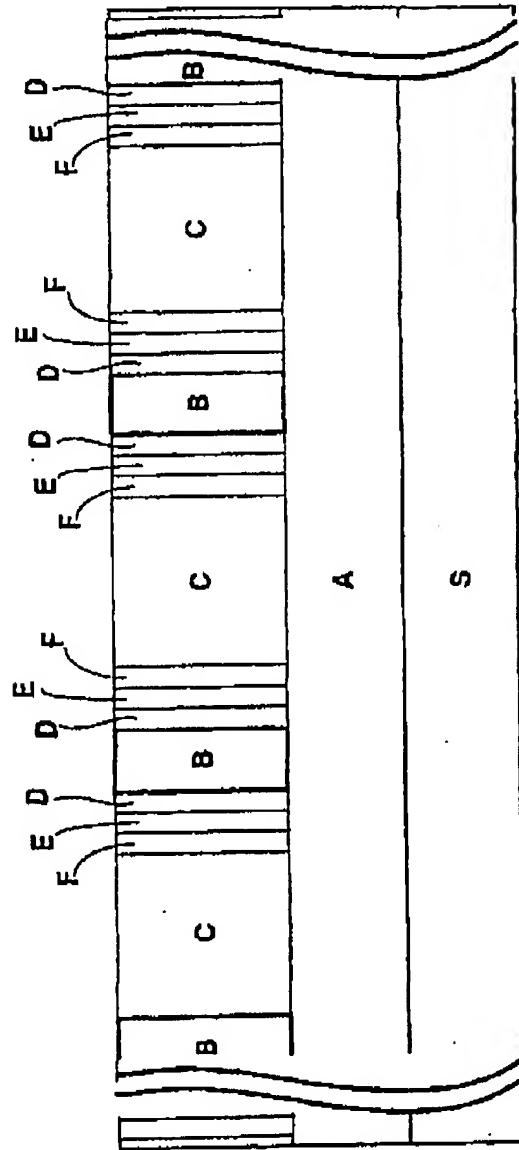


图 16

03103150.1

说明书附图 第12/14页

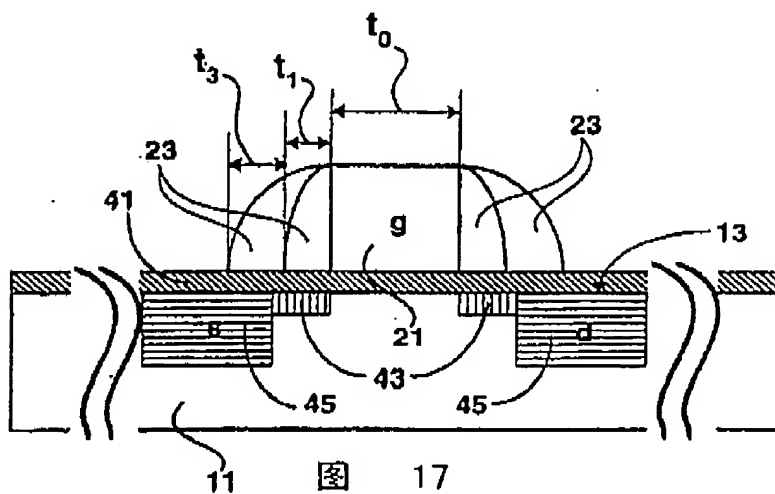


图 17

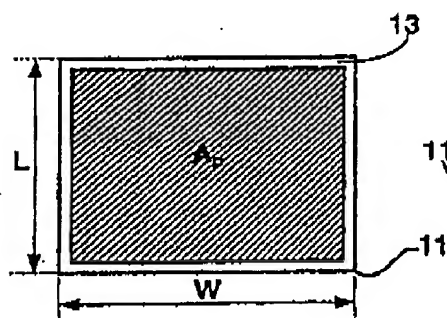


图 18a

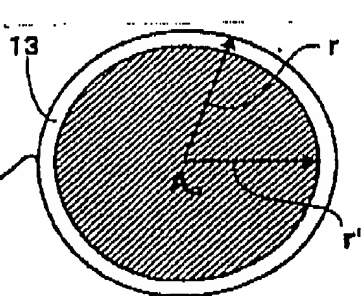


图 18b

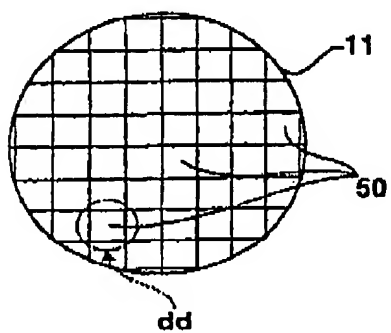


图 19a

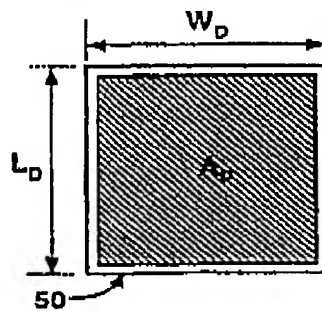


图 19b

03103150.1

说明书附图 第13/14页

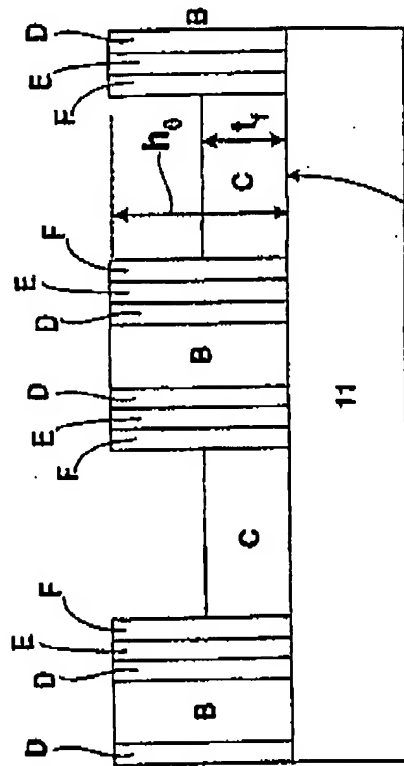


图 20

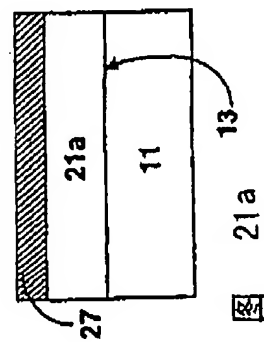


图 21a

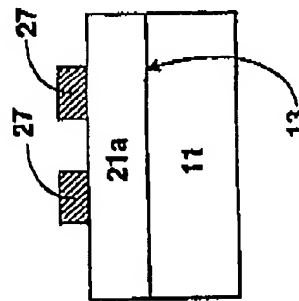


图 21b

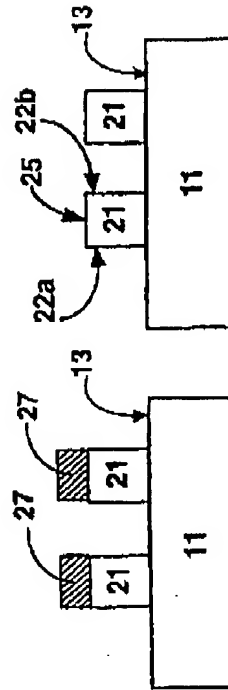


图 21c

图 21d

03103160.1

说明书附图 第14/14页

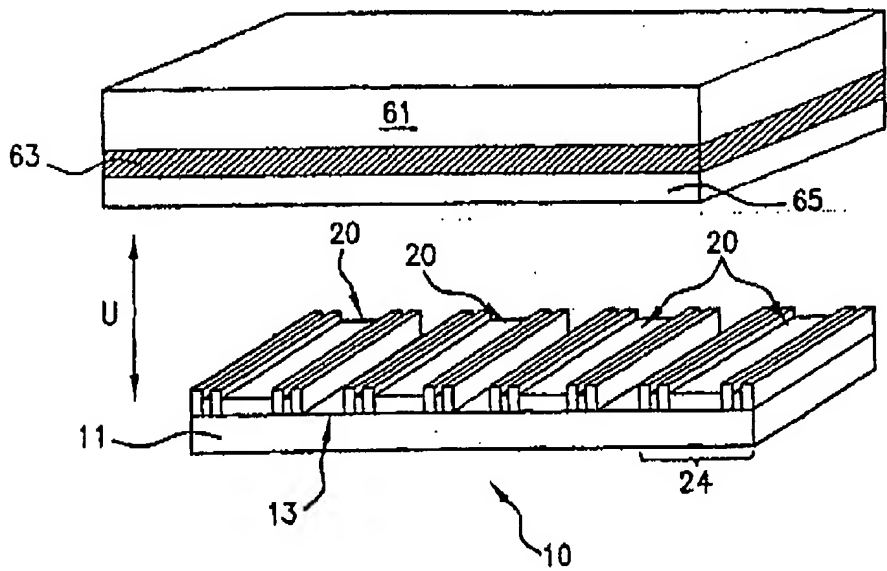


图 22